

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-326991

(43)Date of publication of application : 25.11.1994

(51)Int.Cl.

H04N 7/133

G06F 15/64

G06F 15/66

G06F 15/72

(21)Application number : 05-114301

(71)Applicant : NEC CORP

(22)Date of filing : 17.05.1993

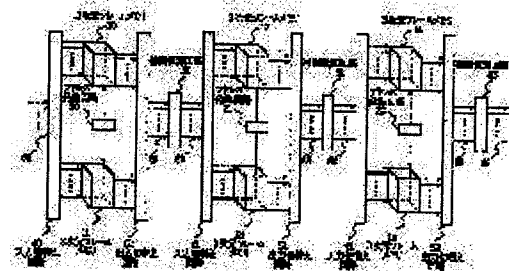
(72)Inventor : KATAYAMA YOICHI

(54) PICTURE MEMORY DEVICE

(57)Abstract:

PURPOSE: To provide a means which subjects digital picture data in a three-dimensional frame memory to rotation, parallel movement, expansion, reduction, and three-dimensional affine transformation of shearing processing to continuously read data.

CONSTITUTION: A picture memory device consists of address generating circuits 20 to 22, three-dimensional frame memories 10 to 15, input switching circuits 40 to 42, output switching circuits 50 to 52, data interpolating circuits 30 to 32, and high-speed data transfer buses 60 to 66. The processing to read out data in three-dimensional frame memories 10 to 13 in the picture signal processing is realized by dividing three-dimensional affine transformation into three two-dimensional affine transformations, and a double buffer system is adopted in memories 10 to 13 to simultaneously execute respective two-dimensional affine transformation processings in parallel.



LEGAL STATUS

[Date of request for examination] 17.05.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2591424

[Date of registration] 19.12.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 19.12.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-326991

(43)公開日 平成6年(1994)11月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/133				
G 0 6 F 15/64	4 5 0 F			
15/66	3 4 0	8420-5L		
15/72	A	9192-5L		

審査請求 有 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平5-114301

(22)出願日 平成5年(1993)5月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 片山 陽一

東京都港区芝五丁目7番1号 日本電気株式会社内

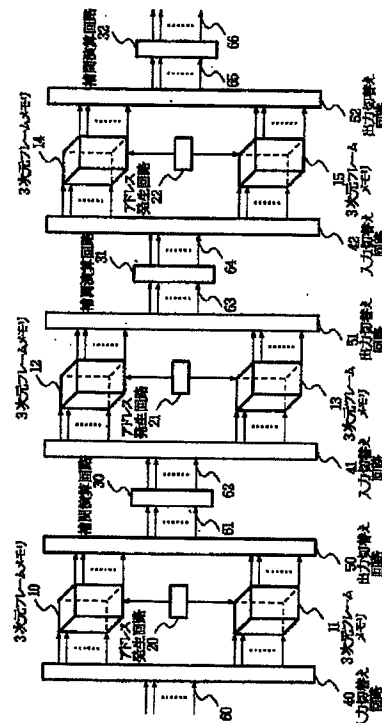
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 画像メモリ装置

(57)【要約】

【目的】 3次元フレームメモリ内のデジタル画像データに、回転、平行移動、拡大、縮小および、せん断処理の3次元アフィン変換を加え、データを連続的に読み出す手段を提供する。

【構成】 画像メモリ装置は、アドレス発生回路20～22、3次元フレームメモリ10～15、入力切替え回路40～42、出力切替え回路50～52、データ補間回路30～32、高速データ転送バス60～66からなる。画像信号処理における3次元フレームメモリ10～13内データを読み出す処理を3次元アフィン変換を3つの2次元アフィン変換に分割することで実現し、かつ各2次元アフィン変換処理をメモリ10～13をダブルバッファ方式にすることによって同時並列に実行する。



【特許請求の範囲】

【請求項1】 2次元アドレスを発生するアドレス発生回路と、

前記アドレス発生回路が発生するアドレスに対応したデータが並列に読み出されるダブルバッファ方式による3次元フレームメモリと、

前記3次元フレームメモリの入出力を切替える切替え回路と、

前記3次元フレームメモリから読み出されたデータを補間演算する補間演算回路とをそれぞれ有する複数の2次元平面内アフィン変換手段が高速データバスによって従属接続されて構成され、連続的にアフィン変換されたデータを得ることを特徴とする画像メモリ装置。

【請求項2】 X軸、Y軸、Z軸を互いに直交する3次元の座標軸とすると、前記複数の2次元平面内アフィン変換手段が、それぞれ、XY平面、YZ平面、XZ平面内のアフィン変換手段であることを特徴とする請求項1記載の画像メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、動画像処理において、フレームメモリからアフィン変換されたデータを連続的に得る画像メモリ装置に関する。

【0002】

【従来の技術】従来、デジタル画像データを任意のN次元の保体積アフィン変換を施して変換する画像メモリ装置として、特開昭64-12378号公報に記載されているような技術が知られている。

【0003】この従来例では、任意の保体積アフィン変換処理を、平行移動処理、座標軸に関する符号反転処理、座標軸の交換処理、および斜交軸交換処理、の内の全てあるいは必要な処理のみの積に分割したのち、デジタル画像にその分解により得られた処理を順次施すことによって、その保体積アフィン変換を実施することができる。

【0004】

【発明が解決しようとする課題】しかしながら、上述した従来例では、任意の保体積アフィン変換の為、アフィン変換の一部であるはずの拡大・縮小、せん断処理を実行することは、不可能である。また、この従来例では、逐次変換法を採用しているため、特別な工夫を施さない*

$$[x_1 \ y_1 \ z_1 \ 1] = [x' \ y' \ z' \ 1]$$

【0012】ただし、 $[x_1 \ y_1 \ z_1 \ 1]$ は読み出した座標を表し、 $[x' \ y' \ z' \ 1]$ は読み出す前の座標を表すものとする。一般に $[x_1 \ y_1 \ z_1 \ 1]$ の x_1 、 y_1 、 z_1 は小数である。そのため補間回路31が必要

*限りリアルタイム動作を実現することができない。

【0005】

【課題を解決するための手段】本発明の目的は、デジタル画像データに、従来の回転および平行移動に加え、拡大、縮小および、せん断処理の3次元アフィン変換を可能にし、更にデータを連続的に読み出す手段を提供することにある。

【0006】本発明の画像メモリ装置は、2次元アドレスを発生するアドレス発生回路(20)と、前記アドレス発生回路が発生するアドレスに対応したデータが並列に読み出されるダブルバッファ方式による3次元フレームメモリ(10、11)と、前記3次元フレームメモリの入出力を切替える切替え回路(40、50)と、前記3次元フレームメモリから読み出されたデータを補間演算する補間演算回路(30)とをそれぞれ有する複数の2次元平面内アフィン変換手段が高速データバス(60～66)によって従属接続されて構成され、連続的にアフィン変換されたデータを得ることを特徴とする。

【0007】

【作用】本発明において、画像信号処理における3次元フレームメモリ内データを読み出す処理を3次元アフィン変換を3つの2次元アフィン変換に分割することで実現し、かつ各2次元アフィン変換処理をメモリをダブルバッファ方式にすることによって同時並列に実行することにより、3次元の平行移動、回転、拡大、縮小、せん断処理をリアルタイムに実現する。

【0008】

【実施例】次に、本発明について図面を参照して説明する。

【0009】図1は本発明の一実施例の構成図である。本実施例の画像メモリ装置は、アドレス発生回路20～22、3次元フレームメモリ10～15、入力切替え回路40～42、出力切替え回路50～52、データ補間回路30～32、高速データ転送バス60～66からなる。

【0010】図1の3次元フレームメモリ10、11と補間演算回路30、入力切替え回路40、出力切替え回路50からなる部分は、3次元フレームメモリ内データのYZ平面内の2次元アフィン変換部分である。アドレス発生回路20は下式のように変換座標を計算する。

【0011】

$$\begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & a_{11} & a_{12} & 0 \\ 0 & a_{21} & a_{22} & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \quad (1)$$

とされ、補間回路は処理の形態によって最適な演算、例えば最大値を求める演算、最小値を求める演算、中央値を求める演算、線形演算、スプライン関数演算を実行し、格子点の内挿補間演算を実行する。

【0013】次にXZ平面内2次元アフィン変換を実現するために、3次元フレームメモリ12、13とアドレス発生回路21、補間演算回路31、入力切替え回路4*

*1、出力切替え回路51により、下式を実行し、前記と同様補間回路32により補間演算を実行する。

$$[x_2 \ y_2 \ z_2 \ 1] = [x'_1 \ y'_1 \ z'_1 \ 1] \begin{bmatrix} b_{11} & 0 & b_{12} & 0 \\ 0 & 1 & 0 & 0 \\ b_{21} & 0 & b_{22} & 0 \\ 0 & 0 & b_{32} & 1 \end{bmatrix} \quad (2)$$

【0015】ただし、 $[x_2 \ y_2 \ z_2 \ 1]$ は読み出した座標を表し、 $[x'_1 \ y'_1 \ z'_1 \ 1]$ は3次元フレームメモリ12、13の内、切替え回路41により現在書き込みを実行していない方の3次元フレームメモリの座標値を表している。最後にXY平面内2次元アフィン*

※変換を実行するために、入力切替え回路42、3次元フレームメモリ14、15とアドレス発生回路22、補間演算回路32、出力切替え回路52により、下式および補間演算を実行する。

$$[x_3 \ y_3 \ z_3 \ 1] = [x'_2 \ y'_2 \ z'_2 \ 1] \begin{bmatrix} c_{11} & c_{12} & 0 & 0 \\ c_{21} & c_{22} & 0 & 0 \\ 0 & 0 & 1 & 0 \\ c_{31} & c_{32} & 0 & 1 \end{bmatrix} \quad (3)$$

【0017】ただし、 $[x_3 \ y_3 \ z_3 \ 1]$ は読み出した座標を表し、 $[x'_2 \ y'_2 \ z'_2 \ 1]$ は3次元フレームメモリ14、15の内、切替え回路42により現在書き込みを実行している側でない方の座標を表してい

★る。以上の式(1)~(3)より総合した3次元アフィン変換は式(4)のように記述される。

【0018】

$$[x \ y \ z \ 1] = [x' \ y' \ z' \ 1] \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & a_{11} & a_{12} & 0 \\ 0 & a_{21} & a_{22} & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} b_{11} & 0 & b_{12} & 0 \\ 0 & 1 & 0 & 0 \\ b_{21} & 0 & b_{22} & 0 \\ 0 & 0 & b_{32} & 1 \end{bmatrix} \begin{bmatrix} c_{11} & c_{12} & 0 & 0 \\ c_{21} & c_{22} & 0 & 0 \\ 0 & 0 & 1 & 0 \\ c_{31} & c_{32} & 0 & 1 \end{bmatrix}$$

$$= [x' \ y' \ z' \ 1] \begin{bmatrix} b_{11}c_{11} & b_{11}c_{12} & b_{12} & 0 \\ a_{12}b_{21}c_{11} + a_{11}c_{21} & a_{12}b_{21}c_{12} + a_{11}c_{22} & a_{12}b_{22} & 0 \\ a_{22}b_{21}c_{11} + a_{21}c_{21} & a_{22}b_{21}c_{12} + a_{21}c_{22} & a_{22}b_{22} & 0 \\ c_{31} & c_{32} & b_{32} & 1 \end{bmatrix} \quad (4)$$

【0019】ただし、 $[x \ y \ z \ 1]$ は読み出した座標を表し、 $[x' \ y' \ z' \ 1]$ は読み出す前の座標を表すものとする。

【0020】アフィン変換を3回に分け、各段をダブルバッファメモリ方式にし同時並列処理することにより、画像処理システムにおいて、3次元アフィン変換をデータを取り出す方式で、従来のメモリ方式で実現するより高速な処理を実現する。実際、式(1)~(3)の2次元アフィン変換行列の係数を図2のように操作することにより、3次元アフィン変換を実現する。

【0021】以上の様にして、3次元フレームメモリから任意座標データのパイプライン読み出しが実現できる。

【0022】

【発明の効果】以上説明したように、本発明によれば、従来3次元フレームメモリからデータを読み出す速度

は、 kN^3 時間掛かっていたのに対し、 kN^2 時間で読み出しが可能になり、リアルタイムのデータ読み出しを実現できる。

【図面の簡単な説明】

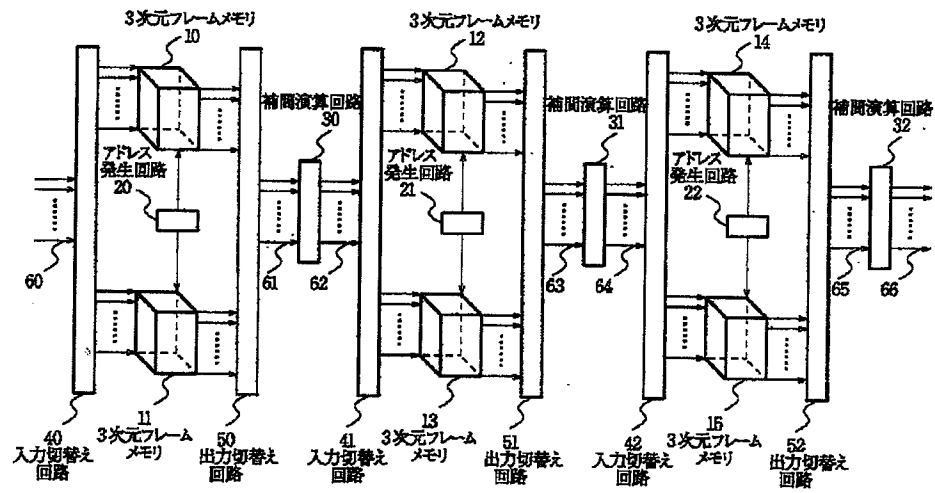
【図1】本発明の一実施例を示す構成図である。

【図2】図1の実施例における3次元アフィン変換と行列変換の説明図である。

【符号の説明】

10, 11, 12 3次元フレームメモリ
20, 21, 22 アドレス発生回路
30, 31, 32 補間演算回路
40, 41, 42 入力切替え回路
50, 51, 52 出力切替え回路
60, 61, 62, 63, 64, 65, 66 高速データ転送バス

【図1】



【図2】

(1)	平行移動	$\begin{matrix} c_{31} \\ c_{32} \\ b_{32} \end{matrix} \begin{matrix} \left\{ \begin{matrix} x \\ y \\ z \end{matrix} \right\} \text{軸方向} \\ \left\{ \begin{matrix} y \\ z \end{matrix} \right\} \text{軸方向} \\ \left\{ \begin{matrix} z \end{matrix} \right\} \text{軸方向} \end{matrix}$
(2)	拡大・縮小	$\begin{matrix} c_{11} \\ c_{12} \\ b_{12} \end{matrix} = \begin{matrix} c_{21} \\ c_{22} \\ b_{22} \end{matrix} = \begin{matrix} A \\ B \\ C \end{matrix} \begin{matrix} \left\{ \begin{matrix} x \\ y \\ z \end{matrix} \right\} \text{軸方向} \\ \left\{ \begin{matrix} y \\ z \end{matrix} \right\} \text{軸方向} \\ \left\{ \begin{matrix} z \end{matrix} \right\} \text{軸方向} \end{matrix}$
(3)	せん断	$\begin{matrix} b_{21} \\ x' \\ y' \\ z' \end{matrix} = \begin{matrix} 0 \\ x + c_{21}y + a_{21}c_{21}z \\ c_{12}x + y + a_{21}z \\ b_{12}x + a_{12}y + z \end{matrix} \begin{matrix} a_{11} = a_{22} = b_{11} = b_{22} = c_{22} = 1 \end{matrix}$
(4)	回転	$\begin{matrix} a_{11} \\ b_{11} \\ c_{11} \end{matrix} = \begin{matrix} a_{22} \\ b_{22} \\ c_{22} \end{matrix} = \begin{matrix} \cos(\theta_x) \\ \cos(\theta_y) \\ \cos(\theta_z) \end{matrix}, \begin{matrix} -a_{12} \\ b_{12} \\ -c_{12} \end{matrix} = \begin{matrix} a_{21} \\ -b_{21} \\ c_{21} \end{matrix} = \begin{matrix} \sin(\theta_x) \\ \sin(\theta_y) \\ \sin(\theta_z) \end{matrix} \begin{matrix} \left\{ \begin{matrix} x \\ y \\ z \end{matrix} \right\} \text{軸中心に} \theta_x \text{回転} \\ \left\{ \begin{matrix} y \\ z \end{matrix} \right\} \text{軸中心に} \theta_y \text{回転} \\ \left\{ \begin{matrix} z \end{matrix} \right\} \text{軸中心に} \theta_z \text{回転} \end{matrix}$